

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-283687

(43)Date of publication of application : 29.10.1993

(51)Int.Cl.

H01L 29/784

(21)Application number : 04-077063

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 31.03.1992

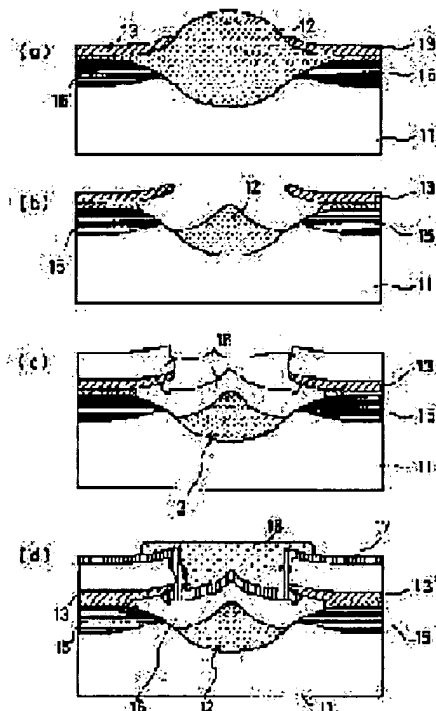
(72)Inventor : BABA TOSHISUKE

## (54) PRODUCTION OF SEMICONDUCTOR ELEMENT

(57)Abstract:

PURPOSE: To provide a production method of a semiconductor element which easily forms a MOSFET that has high punch-through resistance.

CONSTITUTION: The surface of an oxide film 12 is etched so as to partially expose source and drain areas 15 separately formed by a selective thermal oxide film 12 formed of an oxidation resistance film 13 and a silicon layer 16 to be a channel area is formed on the source and drain areas 15 and on the oxide film 12.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**BEST AVAILABLE COPY**

Copyright (C); 1998,2003 Japan Patent Office

(51)Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

FI

技術表示箇所

H 0 1 L 29/784

7377-4M

H 0 1 L 29/ 78

3 0 1 X

審査請求 未請求 請求項の数1(全 3 頁)

(21)出願番号 特願平4-77063

(22)出願日 平成4年(1992)3月31日

(71)出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72)発明者 馬場 俊祐

東京都港区虎ノ門1丁目7番12号 沖電気  
工業株式会社内

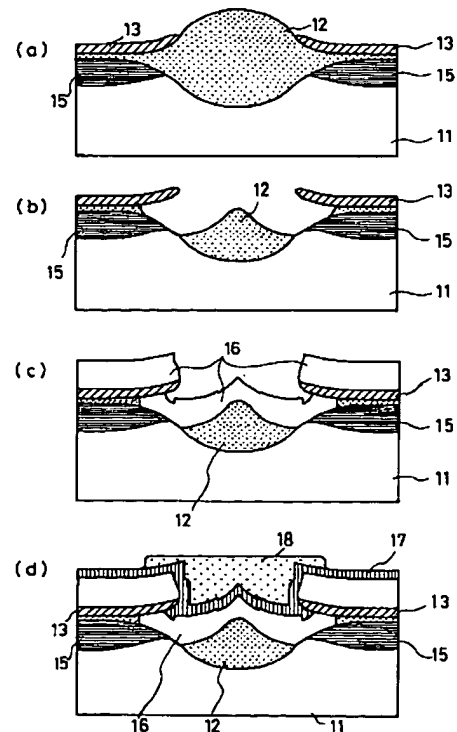
(74)代理人 弁理士 鈴木 敏明

(54)【発明の名称】 半導体素子の製造方法

(57)【要約】

【目的】 パンチスルー耐性の高いMOSFETを容易に形成する半導体素子の製造方法を提供する。

【構成】 耐酸化性膜13により形成された選択熱酸化膜12により分離形成されたソース・ドレイン領域15を一部露出させるように酸化膜12の表層部をエッチングし、ソース・ドレイン領域15及び酸化膜12上にチャネル領域となるシリコン層16を形成する。



BEST AVAILABLE COPY

#### 【特許請求の範囲】

【請求項1】 半導体基板の第1領域及び第2領域上に耐酸化性膜を形成する工程と、  
前記耐酸化性膜をマスクとして前記基板を熱処理することにより前記第1領域と前記第2領域との間に酸化膜を形成する工程と、  
前記酸化膜をマスクとして前記第1及び第2領域に不純物を導入することによりソース領域及びドレイン領域を形成する工程と、  
前記酸化膜の表層部をエッチング除去することにより前記ソース領域及びドレイン領域の一部を露出させる工程と、  
前記ソース及びドレイン領域及び残余の前記酸化膜上に半導体結晶層を積層することによりチャネル領域を形成する工程と、  
前記チャネル領域上にゲート酸化膜及びゲート電極を形成する工程とを含むことを特徴とする半導体素子の製造方法。

#### 【発明の詳細な説明】

##### 【0001】

【産業上の利用分野】この発明は半導体素子の製造方法、特にMOSFET（電界効果トランジスタ）の製造方法に関するものである。

##### 【0002】

【従来の技術】素子の微細化に伴うMOSFETのゲート長の短小化に従い、ソース・ドレイン領域間のパンチスルー耐性の確保が大きな問題である。

【0003】従来この種の問題点を解決するための方策として半導体基板中のチャネル領域下部に、チャネルキャリアとは反対導電型の高濃度不純物を打ち込むことにより、半導体基板の絶縁性を高め、パンチスルー耐性の確保を行っている。

##### 【0004】

【発明が解決しようとする課題】しかしながら上記の方法を用いると、基板不純物濃度が高くなることによるソース・ドレイン領域間の電流の減少、また、ソース・ドレイン領域と基板のP型とN型の不純物濃度が大きく変化することによる基板のビルトインポテンシャルの低下による素子劣化、及びゲート酸化膜とドレイン領域の交差する付近におけるバンド間トンネリングによる電流の増大による酸化膜の劣化が生じるという課題があった。

【0005】本発明は、以上に述べた基板内不純物濃度の高濃度化に伴う、ソース・ドレイン領域間電流の減少、ソース・ドレイン領域と基板との間の接合ブレイクダウン、及びバンド間トンネル電流に起因した酸化膜の劣化という課題を解決するために、電流の流れる部分（チャネル領域）の基板内不純物濃度は薄く、なおかつ、パンチスルー耐性をあげるための絶縁体層をチャネル領域下に形成する半導体素子の製造方法を提供することを目的とする。

##### 【0006】

【課題を解決するための手段】本発明は、前記課題を解決するために、MOSFETの製造方法において、LOCOSプロセスを用いて基板表面の第1、第2領域間に酸化膜を形成し、第1、第2領域へ不純物導入することによりソース・ドレイン領域を形成し、この酸化膜表層部をエッチングした後の残余の酸化膜上にポリシリコンを堆積し、再結晶化してこれをチャネル領域とし、このポリシリコン上にゲート酸化膜及びゲート電極を形成しMOSFETを形成するものである。

##### 【0007】

【作用】本発明によれば、LOCOS酸化膜を利用してソース・ドレイン領域及びチャネル領域を形成しているので、MOSFETのチャネル領域下に容易に絶縁体層を形成することができ、高いパンチスルー耐圧を有したMOSFETを得ることができる。

##### 【0008】

【実施例】図1及び図2は本発明の実施例を説明するための、MOSFET素子構造を形成する工程を示す断面図である。以下図面に沿って順に形成方法を説明する。

【0009】まず、図1（a）に示すように、P型（又はN型）シリコン基板11にシリコン酸化膜12を通常の酸化工程によって200Å程度厚さに形成する。その後、通常のCVD工程により、耐酸化性膜として $\text{Si}_3\text{N}_4$ 膜13を0.15μm程度厚さに形成する。

【0010】次に、図1（b）に示すように、通常のエッチングプロセスにより、 $\text{Si}_3\text{N}_4$ 膜13の後にチャネル領域となる部分の上部を開口し、後にソース領域となる第1領域と、ドレイン領域となる第2領域とに $\text{Si}_3\text{N}_4$ 膜13が残存するようにパターンニングする。

【0011】次に、図1（c）に示すように、通常の酸化工程、例えば、 $\text{WeT-O}_2$ 、7気圧、の雰囲気中で1000℃、30分間の熱処理で、酸化膜12の前記開口部分に厚い酸化膜を形成する。

【0012】次に、図1（d）に示すように、後にMOSFETのソース・ドレイン領域として使用することを目的とした $\text{Si}_3\text{N}_4$ 膜13下の前記第1、第2領域にN型（又はP型）の不純物を高濃度に通常のイオン注入法（例えば、Asを170KeV、 $1 \times 10^{16} \text{cm}^{-2}$ ）で導入することにより高濃度不純物層14を形成する。この際、酸化膜12の厚い部分をマスクとして用いることにより、不純物層14はセルフアライン的に分離されて形成できる。

【0013】しかるのちに、図2（a）に示すように、通常のアニール工程、例えば $\text{N}_2$ ガス雰囲気中、1000℃、120分間の熱処理を行うことにより、前記第1、第2領域にソース・ドレイン領域15を形成する。

【0014】つづいて、図2（b）に示すように、シリコン酸化膜12を等方性エッチングすることにより、シリコン酸化膜を一部残存させたままソース・ドレイン領

域を一部露出させる。

【0015】その後、図2(c)に示すように、ポリシリコンを通常のCVD工程により厚さ0.2 $\mu$ m程度堆積し、ポリシリコン層16を形成する。その後、少なくともポリシリコン層16のソース・ドレイン領域間であってMOSFETのチャネル領域となる部分を例えばレーザービームを照射することによって単結晶化する。

【0016】次に、図2(d)に示すように、酸化工程により、少なくともMOSFETのチャネル領域となるシリコン16表面にゲート酸化膜17を形成し、最後にゲート酸化膜17上にゲート電極18をパターニング形成する。

【0017】

【発明の効果】以上、詳細に説明したように、本発明によれば、MOSFETのチャネル領域下部である基板内に絶縁体層が形成されているので通常のMOSFETに比べ高いパンチスルー耐圧を確保することができる。

【0018】また、チャネル領域下部の反対導電型不純物濃度は薄くすることが出来るため大きなソース・ドレイン領域間電流を得ることが出来、また、ソース・ドレ

イン領域と基板との間の接合ブレイクダウン、バンド間トンネリングによる酸化膜の劣化がおこらないため、素子の信頼性の向上が望める。

【0019】本発明はこの様なMOSFETを、フィールド酸化膜形成に一般に用いられているLOCOS工程を利用し形成しているので、簡単な工程で形成可能となるのである。

【図面の簡単な説明】

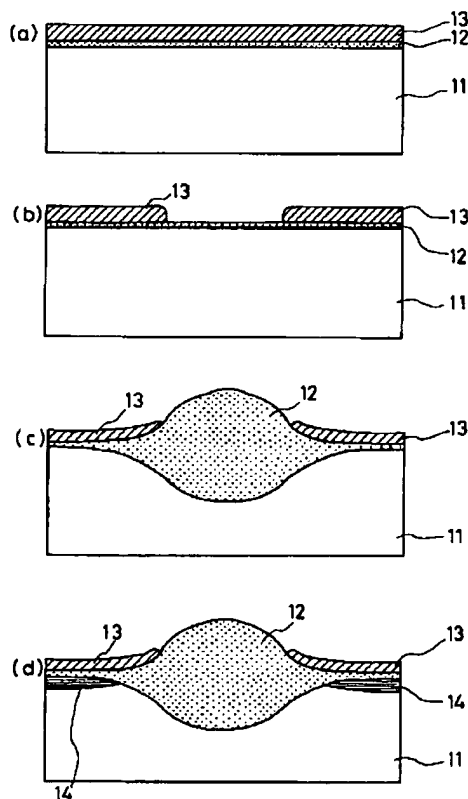
【図1】本発明の実施例を説明するための工程断面図。

【図2】本発明の実施例を説明するための工程断面図。

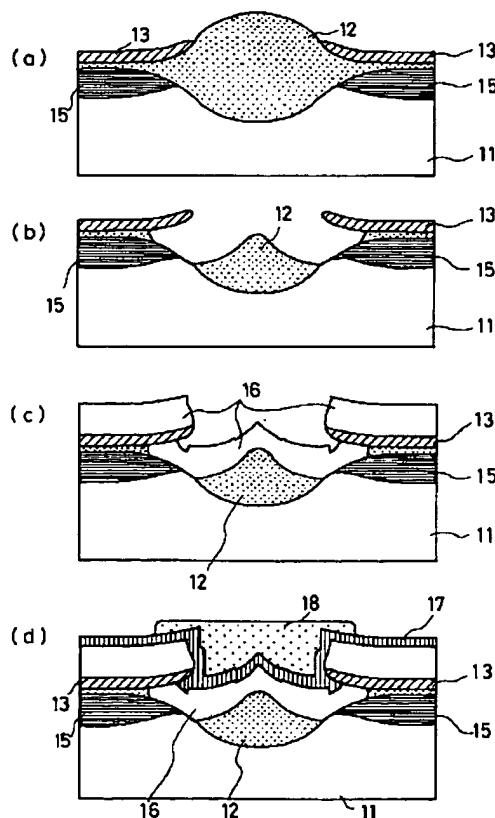
【符号の説明】

- 11 シリコン基板
- 12 シリコン酸化膜
- 13  $\text{Si}_3\text{N}_4$  膜
- 14 高濃度不純物層
- 15 ソース・ドレイン領域
- 16 ポリシリコン層
- 17 ゲート酸化膜
- 18 ゲート電極

【図1】



【図2】



BEST AVAILABLE COPY